

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-125178

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

H01L 29/78  
H01L 21/336

(21)Application number : 06-259939

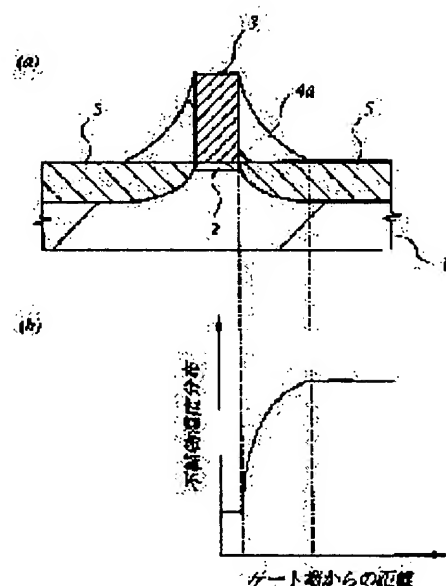
(71)Applicant : HITACHI LTD

(22)Date of filing : 25.10.1994

(72)Inventor : EGUCHI SOJI  
KUROKAWA ATSUSHI  
MATSUNAGA NOBUTOSHI

## (54) FIELD EFFECT TRANSISTOR AND PRODUCTION THEREOF

## (57)Abstract:

**PURPOSE:** To obtain a field effect transistor in which the impurity concentration is varied continuously in the source and drain regions.**CONSTITUTION:** A tapered side wall spacer 4a is formed on the side wall of a gate electrode 3 and then impurity ions are implanted thus forming a semiconductor region 5 (source region, drain region) where the impurity concentration is increased continuously as receding from the gate electrode 3.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

\* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The process which carries out etchback of said insulator layer, and leaves said insulator layer to the side attachment wall of said gate electrode after depositing the insulator layer which has reflow nature on the principal plane of the semi-conductor substrate in which the gate electrode was formed, The process which forms the sidewall spacer which is made to carry out a reflow of said insulator layer, and has an inclination on the side attachment wall of said gate electrode, The manufacture approach of the field-effect transistor characterized by having the process which forms a source field and a drain field by using said gate electrode and said sidewall spacer as a mask, and carrying out ion implantation of the impurity to said semi-conductor substrate.

[Claim 2] The insulator layer which has said reflow nature is the manufacture approach of the field-effect transistor according to claim 1 characterized by being the photoresist film, the spin-on glass film, or the BPSG film.

[Claim 3] The field-effect transistor obtained by the manufacture approach of the field-effect transistor according to claim 1 characterized by being high continuously as the high impurity concentration of the semiconductor region which constitutes a source field and a drain field separates from a gate electrode.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacturing technology of a field-effect transistor (Field Effect Transistor; FET), and is LDD (Lightly Doped Drain) especially. It applies to FET which has structure and is related with an effective technique.

[0002]

[Description of the Prior Art] As a technique which eases the high electric field generated at the drain field edge of FET, and controls the hot carrier effectiveness, the technique which constitutes the drain field of FET from LDD structure is well-known (JP, 51-91675, A, JP, 53-20776, A, etc.).

[0003] A low concentration semiconductor region (a source field, drain field) is formed by using a gate electrode as a mask, and introducing a low-concentration impurity in self align and diffusing this impurity in the principal plane of a semi-conductor substrate continuously first, in order to form FET of LDD structure, for example, as indicated by JP, 61-43847, B.

[0004] Next, on a semi-conductor substrate, a CVD method is used and an insulator layer is deposited. Usually, this insulator layer consists of silicon oxide film. then, this insulator layer -- reactive ion etching (Reactive Ion Etching; RIE) -- a sidewall spacer is formed in the side attachment wall of a gate electrode by etching by anisotropy dry etching method like law. Then, a high concentration semiconductor region (a source field, drain field) is formed by using this sidewall spacer and a gate electrode as a mask, and introducing a high-concentration impurity in self align and diffusing this impurity in the principal plane of a semi-conductor substrate continuously.

[0005] When forming FET of LDD structure, if the high impurity concentration of a low concentration semiconductor region is too low, source resistance ( $R_s$ ) will increase and a mutual conductance will fall. On the other hand, since high electric field cannot be eased if this high impurity concentration is too high, the hot carrier effectiveness cannot be controlled.

[0006] Therefore, in order to realize detailed-izing of FET, and improvement in the speed, it is necessary to optimize an impurity atom concentration profile by changing as continuously as possible the high impurity concentration of the low concentration semiconductor region of LDD structure, and the high impurity concentration of a high concentration semiconductor region.

[0007] In order to change the high impurity concentration of LDD structure continuously, how to form the sidewall spacer of two or more layers in the side attachment wall of a gate electrode can be considered. After this forms the 1st sidewall spacer in the side attachment wall of a gate electrode and performs ion implantation of an impurity, the 2nd sidewall spacer is formed in the side attachment wall of this sidewall spacer, it uses the 1st and 2nd sidewall spacer as a mask, and it performs ion implantation of an impurity.

[0008] Therefore, since high impurity concentration can form the source field and drain field which consisted of semiconductor regions of three or more layers which change gradually by making high gradually the count repeat of a request of the above processes, and high impurity concentration of ion implantation, it becomes possible to change high impurity concentration continuously compared with the usual LDD structure which consists of two-layer semiconductor regions (a low concentration semiconductor region and high concentration semiconductor region).

[0009]

[Problem(s) to be Solved by the Invention] However, since the aforementioned conventional technique of forming the sidewall spacer of two or more layers in the side attachment wall of a gate electrode, and performing ion implantation of an impurity needs to repeat formation and ion implantation of a sidewall spacer and needs to perform them, it has the problem that the production process of FET will increase sharply.

[0010] The purpose of this invention is to offer the technique in which the high impurity concentration of the source field of FET and a drain field can be changed continuously, without increasing a production process.

[0011] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0012]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0013] The manufacture approach of FET of this invention to the principal plane of the semi-conductor substrate in which the gate electrode was formed For example, after depositing the insulator layer which has reflow nature like the photoresist film, the spin-on glass film, and the BPSG film, Carry out etchback of said insulator layer, and it leaves said insulator layer to the side attachment wall of said gate electrode. Subsequently, after forming the sidewall spacer which is made to carry out a reflow of said insulator layer, and has an inclination on the side attachment wall of said gate electrode, A source field and a drain field are formed by using said gate electrode and said sidewall spacer as a mask, and carrying out ion implantation of the impurity to said semi-conductor substrate.

[0014]

[Function] According to the above-mentioned means, by using as a mask the sidewall spacer which has the inclination formed in a gate electrode and its side attachment wall, and carrying out ion implantation of the impurity to a semi-conductor substrate, the concentration of the impurity introduced into a semi-conductor substrate becomes high gradually as it separates from a gate electrode. Thereby, high impurity concentration can form the source field and drain field which changed continuously, without increasing a production process.

[0015]

[Example] Hereafter, the example of this invention is explained to a detail based on a drawing.

[0016] the semi-conductor substrate 1 top of half-insulation which consists of GaAs as this example is applied to the manufacture approach of GaAsMESFET and it is first shown in drawing 1 -- molecular beam epitaxy (MBE) -- after depositing the GaAs layer of n mold in law and forming the channel layer 2, as shown in drawing 2 , dry etching of the electric conduction film deposited on this channel layer 2, for example, the tungsten silicide (WSi<sub>2</sub>) film deposited with the CVD method, is carried out, and the gate electrode 3 is formed.

[0017] (Next, the insulator layer which has reflow nature on the semi-conductor substrate 1 as shown in drawing 3 , for example, BPSG, (Boro Phospho Silicate Glass) After depositing the film 4, as shown in drawing 4 , etchback is carried out to extent to which the upper limit of the gate electrode 3 exposes this BPSG film 4, and it leaves the BPSG film 4 only to the side attachment wall of the gate electrode 3.) As an insulator layer which has reflow nature, the other, for example, spin, on-glass film, the photoresist film, etc. can also be used. [ film / 4 / above-mentioned / BPSG ]

[0018] Next, by carrying out a reflow of the BPSG film 4 which heat-treated the semi-conductor substrate 1 and remained in the side attachment wall of the gate electrode 3, thickness forms gradually sidewall spacer 4a of the shape of a taper which became thin as are shown in drawing 5 and it separates from the side attachment wall of the gate electrode 3.

[0019] Next, as shown in drawing 6 , sidewall spacer 4a of the shape of the above-mentioned gate electrode 3 and a taper is used as a mask, and ion implantation of the n mold impurity (for example, Si) is carried out to the semi-conductor substrate 1. Since it is becoming thin gradually at this time as the thickness of sidewall spacer 4a separates from the side attachment wall of the gate electrode 3, the concentration of n mold impurity introduced into the semi-conductor substrate 1 becomes high gradually as it is the lowest directly under [ side-attachment-wall ] the gate electrode 3 and separates from the gate electrode 3.

[0020] therefore, the thing for which the semi-conductor substrate 1 is heat-treated and the above-mentioned n mold impurity is diffused after that -- drawing 7 (a) and (b) The semiconductor region 5 (a source field, drain field) which separates from the gate electrode 3 and where it was alike, and it followed and high impurity concentration became high continuously is formed so that it may be shown.

[0021] Thus, since the impurity atom concentration profile of a semiconductor region 5 (a source field, drain field) can be optimized according to the manufacture approach of this example, without increasing a production process, reduction of source resistance (Rs) and control of the hot carrier effectiveness can be reconciled, and detailed-izing of GaAsMESFET and improvement in the speed can be realized.

[0022] As mentioned above, although invention made by this invention person was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to said example and does not deviate from the summary.

[0023] The insulator layer which constitutes a sidewall spacer is not limited to the BPSG film mentioned above, the

spin-on glass film, the photoresist film, etc., and if it is an insulator layer which has reflow nature, it can use the thing of arbitration.

[0024] Moreover, it replaces with the side attachment wall of a gate electrode at the approach of said example which forms a taper-like sidewall spacer, and the ion implantation of the impurity may be carried out using the photo mask 7 in which the protection-from-light pattern 6 which becomes coarse gradually was formed as are shown in drawing 8 and it separates from the gate electrode 3.

[0025] Although said example explained the case where it applied to GaAsMESFET, it is widely applicable to FET formed in compound semiconductor substrates and Si semi-conductor substrates, such as InGaAs, InAlAs, and InGaAsP.

[0026]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0027] Since the impurity atom concentration profile of a source field and a drain field can be optimized according to the manufacture approach of FET by this invention, without increasing a production process, reduction of source resistance ( $R_s$ ) and control of the hot carrier effectiveness can be reconciled, and, thereby, detailed-izing of FET and improvement in the speed can be realized.

---

[Translation done.]

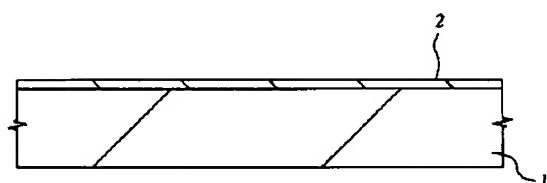
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

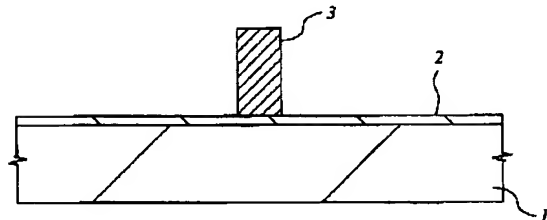
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

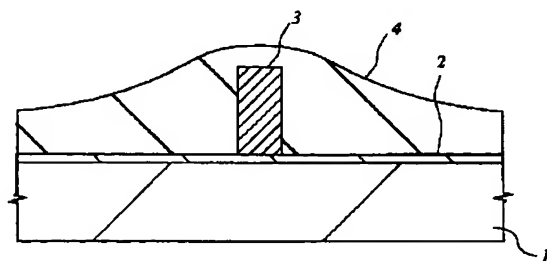
[Drawing 1]

[Drawing 2]

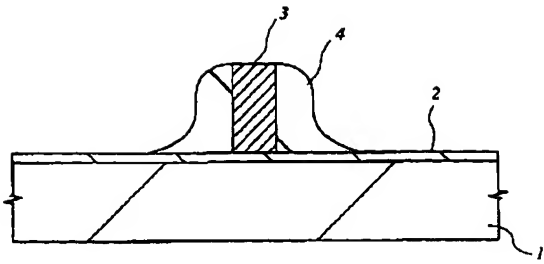



[Drawing 3]

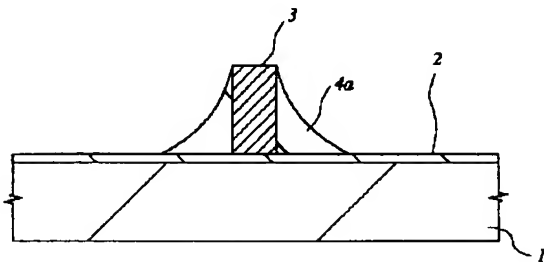
[Drawing 4]

図 4



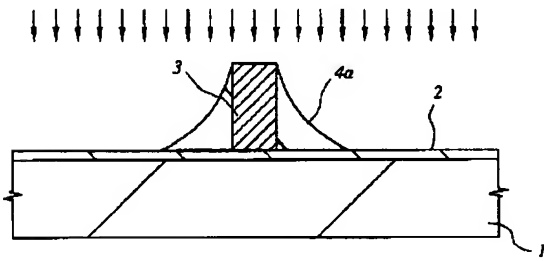
[Drawing 5]

図 5



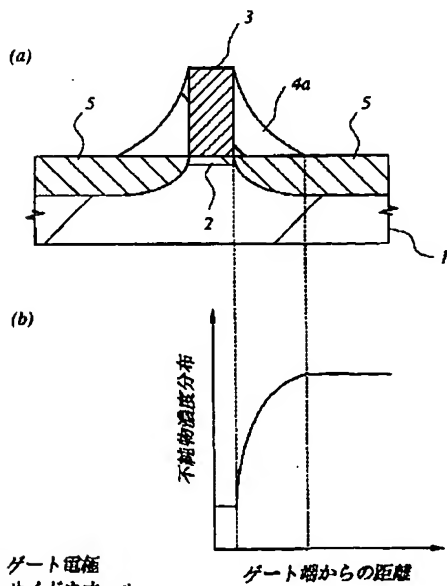
[Drawing 6]

図 6



[Drawing 7]

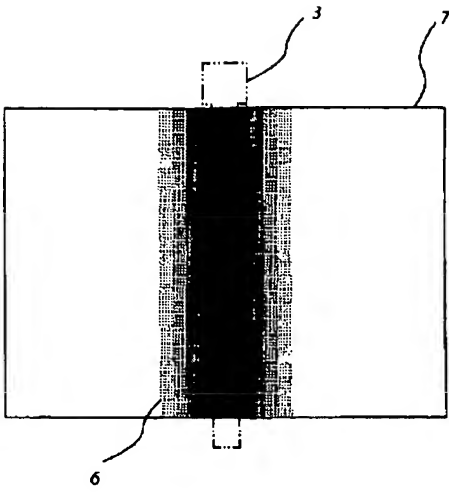
図 7



3: ゲート電極  
4a: サイドウォール  
5: 半導体領域

[Drawing 8]

 8



---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-125178

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.<sup>4</sup>

H 0 1 L 29/78

21/336

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 0 1 L

3 0 1 S

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平6-259939

(22) 出願日

平成6年(1994)10月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 江口 聡司

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 黒川 敦

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 松永 信敏

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

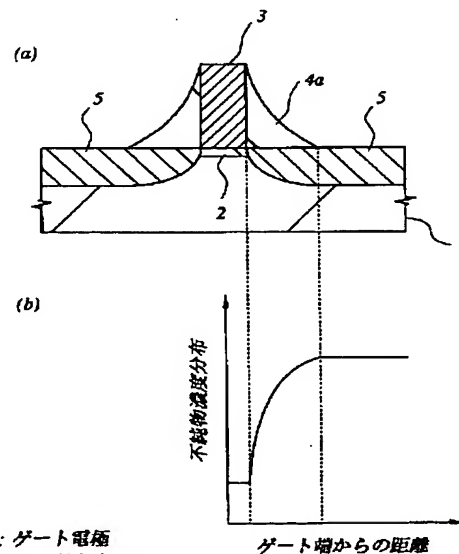
(54) 【発明の名称】 電界効果トランジスタの製造方法およびそれにより得られた電界効果トランジスタ

(57) 【要約】

【目的】 ソース領域、ドレイン領域の不純物濃度を連続的に変化させた電界効果トランジスタを提供する。

【構成】 ゲート電極3の側壁にテーパ状のサイドウォールスペーサ4aを形成して不純物のイオン打込みを行うことにより、ゲート電極3から離れるに従って不純物濃度が連続的に高くなった半導体領域5（ソース領域、ドレイン領域）を形成する。

図 7



3: ゲート電極  
4a: サイドウォール  
5: 半導体領域

1

## 【特許請求の範囲】

【請求項 1】 ゲート電極を形成した半導体基板の主面にリフロー性を有する絶縁膜を堆積した後、前記絶縁膜をエッチバックして前記ゲート電極の側壁に前記絶縁膜を残す工程と、前記絶縁膜をリフローさせて前記ゲート電極の側壁に傾斜を有するサイドウォールスペーサを形成する工程と、前記ゲート電極および前記サイドウォールスペーサをマスクにして前記半導体基板に不純物をイオン打込みすることにより、ソース領域、ドレイン領域を形成する工程とを備えたことを特徴とする電界効果トランジスタの製造方法。

【請求項 2】 前記リフロー性を有する絶縁膜は、フォトレジスト膜、スピノングラス膜または BPSG 膜であることを特徴とする請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 3】 ソース領域、ドレイン領域を構成する半導体領域の不純物濃度がゲート電極から離れるに従って連続的に高くなっていることを特徴とする請求項 1 記載の電界効果トランジスタの製造方法により得られた電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電界効果トランジスタ(Field Effect Transistor; FET)の製造技術に関し、特に、LDD(Lightly Doped Drain)構造を有する FET に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】FETのドレイン領域端部に発生する高電界を緩和してホットキャリア効果を抑制する技術として、FETのドレイン領域をLDD構造で構成する技術が周知となっている(特開昭51-91675号公報、特開昭53-20776号公報など)。

【0003】LDD構造のFETを形成するには、例えば特公昭61-43847号公報に記載されているように、まず、ゲート電極をマスクにして半導体基板の主面に低濃度の不純物を自己整合的に導入し、続いてこの不純物を拡散させることにより低濃度半導体領域(ソース領域、ドレイン領域)を形成する。

【0004】次に、半導体基板上にCVD法を用いて絶縁膜を堆積する。通常、この絶縁膜は酸化シリコン膜で構成する。続いて、この絶縁膜を反応性イオンエッチング(Reactive Ion Etching; RIE)法のような異方性ドライエッチング法でエッチングすることにより、ゲート電極の側壁にサイドウォールスペーサを形成する。その後、このサイドウォールスペーサとゲート電極とをマスクにして半導体基板の主面に高濃度の不純物を自己整合的に導入し、続いてこの不純物を拡散させることにより、高濃度半導体領域(ソース領域、ドレイン領域)を形成する。

【0005】LDD構造のFETを形成する場合、低濃

2

度半導体領域の不純物濃度が低すぎるとソース抵抗( $R_s$ )が増大して相互コンダクタンスが低下してしまう。他方、この不純物濃度が高すぎると高電界を緩和することができないので、ホットキャリア効果を抑制することができない。

【0006】従って、FETの微細化、高速化を実現するためには、LDD構造の低濃度半導体領域の不純物濃度と高濃度半導体領域の不純物濃度をできるだけ連続的に変化させることによって、不純物濃度分布を最適化する必要がある。

【0007】LDD構造の不純物濃度を連続的に変化させるには、例えばゲート電極の側壁に複数層のサイドウォールスペーサを形成する方法が考えられる。これは、ゲート電極の側壁に第1のサイドウォールスペーサを形成して不純物のイオン打込みを行った後、このサイドウォールスペーサの側壁に第2のサイドウォールスペーサを形成し、第1、第2のサイドウォールスペーサをマスクにして不純物のイオン打込みを行うというものである。

【0008】従って、上記のような工程を所望の回数繰り返し、イオン打込みの不純物濃度を次第に高くすることにより、不純物濃度が段階的に変化する3層以上の半導体領域で構成されたソース領域、ドレイン領域を形成することができるので、2層の半導体領域(低濃度半導体領域および高濃度半導体領域)で構成される通常のLDD構造に比べて不純物濃度を連続的に変化させることが可能となる。

## 【0009】

【発明が解決しようとする課題】しかしながら、ゲート電極の側壁に複数層のサイドウォールスペーサを形成して不純物のイオン打込みを行う前記の従来技術は、サイドウォールスペーサの形成およびイオン打込みを繰り返す必要があるため、FETの製造工程が大幅に増大してしまうという問題がある。

【0010】本発明の目的は、製造工程を増やすことなく、FETのソース領域、ドレイン領域の不純物濃度を連続的に変化させることのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】本発明のFETの製造方法は、ゲート電極を形成した半導体基板の主面に、例えばフォトレジスト膜、スピノングラス膜、BPSG膜のようなリフロー性を有する絶縁膜を堆積した後、前記絶縁膜をエッチバックして前記ゲート電極の側壁に前記絶縁膜を残し、次

いで前記絶縁膜をリフローさせて前記ゲート電極の側壁に傾斜を有するサイドウォールスペーサを形成した後、前記ゲート電極および前記サイドウォールスペーサをマスクにして前記半導体基板に不純物をイオン打込みすることによって、ソース領域、ドレイン領域を形成するものである。

#### 【0014】

【作用】上記した手段によれば、ゲート電極およびその側壁に形成した傾斜を有するサイドウォールスペーサをマスクにして半導体基板に不純物をイオン打込みすることにより、半導体基板に導入される不純物の濃度は、ゲート電極から離れるに従って次第に高くなる。これにより、製造工程を増やすことなく、不純物濃度が連続的に変化したソース領域、ドレイン領域を形成することができる。

#### 【0015】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0016】本実施例は、GaAsMESFETの製造方法に適用したものであって、まず、図1に示すように、GaAsからなる半絶縁性の半導体基板1上に分子線エピタキシー(MBE)法でn型のGaAs層を堆積してチャンネル層2を形成した後、図2に示すように、このチャンネル層2の上に堆積した導電膜、例えばCVD法で堆積したタングステンシリサイド(WSi<sub>2</sub>)膜をドライエッチングしてゲート電極3を形成する。

【0017】次に、図3に示すように、半導体基板1上にリフロー性を有する絶縁膜、例えばBPSG(Boro Phospho Silicate Glass)膜4を堆積した後、図4に示すように、このBPSG膜4をゲート電極3の上端が露出する程度にエッチバックしてゲート電極3の側壁のみにBPSG膜4を残す。リフロー性を有する絶縁膜としては、上記BPSG膜4の他、例えばスピノングラス膜やフォトレジスト膜などを使用することもできる。

【0018】次に、半導体基板1を熱処理してゲート電極3の側壁に残ったBPSG膜4をリフローさせることにより、図5に示すように、ゲート電極3の側壁から離れるに従って次第に膜厚が薄くなったテーパ状のサイドウォールスペーサ4aを形成する。

【0019】次に、図6に示すように、上記ゲート電極3およびテーパ状のサイドウォールスペーサ4aをマスクにして半導体基板1にn型不純物(例えばSi)をイオン打込みする。このとき、サイドウォールスペーサ4aの膜厚がゲート電極3の側壁から離れるに従って次第に薄くなっていることから、半導体基板1に導入されるn型不純物の濃度は、ゲート電極3の側壁直下で最も低く、ゲート電極3から離れるに従って次第に高くなる。

【0020】従って、その後、半導体基板1を熱処理して上記n型不純物を拡散させることにより、図7(a)、(b)に示すように、ゲート電極3から離れるに従って不

純物濃度が連続的に高くなった半導体領域5(ソース領域、ドレイン領域)が形成される。

【0021】このように、本実施例の製造方法によれば、製造工程を増やすことなく、半導体領域5(ソース領域、ドレイン領域)の不純物濃度分布を最適化することができるので、ソース抵抗(R<sub>s</sub>)の低減とホットキャリア効果の抑制を両立させることができ、GaAsMESFETの微細化、高速化を実現することができる。

【0022】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0023】サイドウォールスペーサを構成する絶縁膜は、前述したBPSG膜、スピノングラス膜、フォトレジスト膜などに限定されるものではなく、リフロー性を有する絶縁膜であれば、任意のものを使用することができる。

【0024】また、ゲート電極の側壁にテーパ状のサイドウォールスペーサを形成する前記実施例の方法に代えて、図8に示すように、ゲート電極3から離れるに従って次第に粗くなるような遮光パターン6を形成したフォトマスク7を使って不純物をイオン注入してもよい。

【0025】前記実施例では、GaAsMESFETに適用した場合について説明したが、InGaAs、InAlAs、InGaAsPなどの化合物半導体基板やSi半導体基板に形成されるFETに広く適用することができる。

#### 【0026】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0027】本発明によるFETの製造方法によれば、製造工程を増やすことなく、ソース領域、ドレイン領域の不純物濃度分布を最適化することができるので、ソース抵抗(R<sub>s</sub>)の低減とホットキャリア効果の抑制を両立させることができ、これにより、FETの微細化、高速化を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図である。

5

6

【図7】(a)は本発明の一実施例である電界効果トランジスタの製造方法を示す半導体基板の要部断面図、(b)はゲート電極の端部からの距離と、ソース領域、ドレイン領域の不純物濃度分布との関係を示すグラフである。

【図8】本発明の他の実施例である電界効果トランジスタの製造方法を示すフォトマスクの要部平面図である。

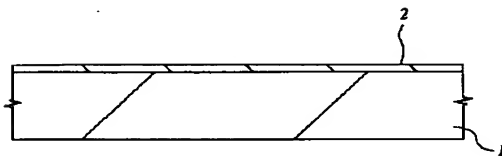
【符号の説明】

1 半導体基板

- 2 チャネル層
- 3 ゲート電極
- 4 BPSG膜
- 4a サイドウォールスペーサ
- 5 半導体領域（ソース領域、ドレイン領域）
- 6 遮光パターン
- 7 フォトマスク

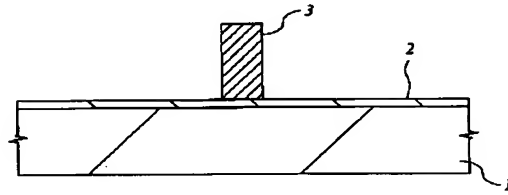
【図1】

図 1



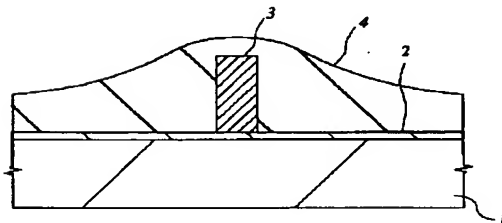
【図2】

図 2



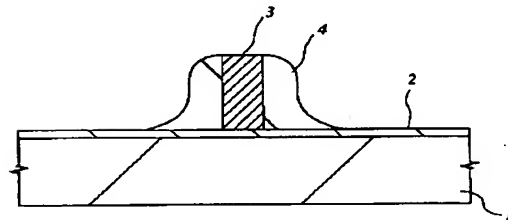
【図3】

図 3



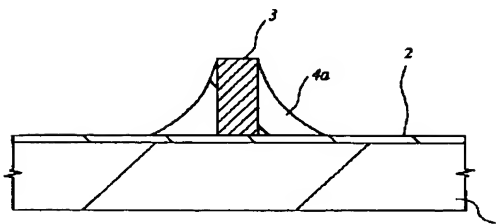
【図4】

図 4



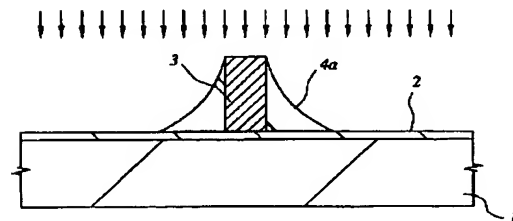
【図5】

図 5



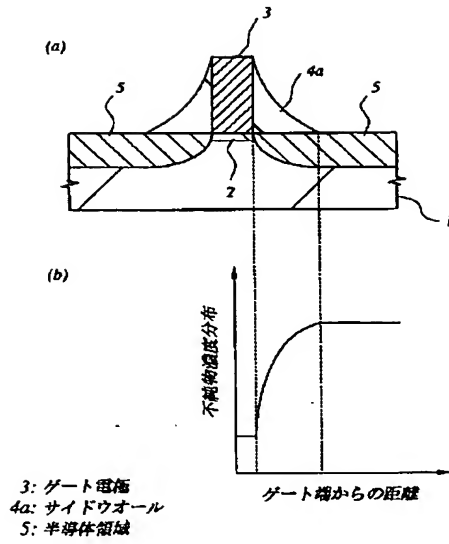
【図6】

図 6



【図7】

図 7



【図8】

図 8

